

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0079204
Application Number

출원년월일 : 2002년 12월 12일
Date of Application DEC 12, 2002

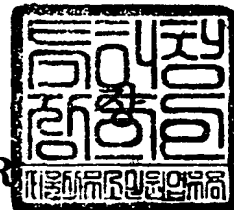
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.12.12
【발명의 명칭】	플래쉬 메모리 소자의 플로팅 게이트 형성 방법
【발명의 영문명칭】	Method of forming a floating gate in a flash memory device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	이승철
【성명의 영문표기】	LEE, Seung Cheol
【주민등록번호】	720325-1068828
【우편번호】	467-723
【주소】	경기도 이천시 증포동 191-7 선경아파트 101-604
【국적】	KR
【발명자】	
【성명의 국문표기】	박상욱
【성명의 영문표기】	PARK, Sang Wook
【주민등록번호】	670825-1144110
【우편번호】	143-755
【주소】	서울특별시 광진구 광장동 현대아파트 501-1601
【국적】	KR
【발명자】	
【성명의 국문표기】	조정일
【성명의 영문표기】	CHO, Jung Il
【주민등록번호】	710429-1168315

【우편번호】 449-854
【주소】 경기도 용인시 모현면 왕산리 497-11 한일빌라 나동 201호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
신영무 (인)
【수수료】
【기본출원료】 16 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 5 항 269,000 원
【합계】 298,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 제 1 및 제 2 폴리실리콘막이 적층된 데이터 플래쉬 메모리 소자의 플로팅 게이트 형성 방법에 관한 것으로, 제 1 폴리실리콘막을 형성한 후 SiH_4 가스를 유입시켜 SiH_4 및 SiO_2 를 Si와 H_2 및 Si와 O_2 로 분해시키고, N_2 어닐 공정을 실시하여 분해된 H_2 가스 및 O_2 가스가 N_2 gas와 반응하여 아웃가싱되도록 하며, SiH_4 가스 및 PH_3 가스를 유입시켜 제 2 폴리실리콘막을 형성함으로써 제 1 폴리실리콘막과 제 2 폴리실리콘막의 계면내의 자연 산화막을 제거하여 데이터 플래쉬 메모리 소자의 특성을 향상시킬 수 있는 플래쉬 메모리 소자의 플로팅 게이트 형성 방법이 제시된다.

【대표도】

도 6

【색인어】

플래쉬 메모리 소자, 플로팅 게이트, 자연 산화막, 분해, 어닐

【명세서】**【발명의 명칭】**

플래쉬 메모리 소자의 플로팅 게이트 형성 방법{Method of forming a floating gate in a flash memory device}

【도면의 간단한 설명】

도 1(a) 및 도 1(b)는 종래의 데이터 플래쉬 메모리 소자의 플로팅 게이트 형성 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.

도 2는 소거 동작시 셀의 문턱 전압과 셀 수의 관계를 나타낸 그래프.

도 3은 종래의 방법으로 플로팅 게이트를 형성한 후 제 1 폴리실리콘막과 제 2 폴리실리콘막 계면의 HR TEM 사진.

도 4는 제 1 폴리실리콘막 표면의 클리닝 유무에 따른 인 도핑 프로파일을 나타낸 그래프.

도 5(a) 내지 도 5(c)는 본 발명에 따른 플래쉬 메모리 소자의 플로팅 게이트 형성 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.

도 6은 본 발명에 따른 제 2 폴리실리콘막 형성을 위한 공정 레시피.

<도면의 주요 부분에 대한 부호의 설명>

11 및 21 : 반도체 기판 12 및 22 : 터널 산화막

13 및 23 : 제 1 폴리실리콘막 14 및 24 : 질화막

15 및 25 : 산화막 26 및 26 : 제 2 폴리실리콘막

17 : 자연 산화막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 플래쉬 메모리 소자의 플로팅 게이트 형성 방법에 관한 것으로, 특히 제 1 폴리실리콘막을 형성한 후 SiH_4 가스를 유입시켜 자연 산화막을 분해(decompositon)시키고, N_2 어닐 공정을 실시하여 분해된 H_2 가스 및 O_2 가스가 N_2 가스와 반응하여 아웃가싱되도록 하며, SiH_4 가스 및 PH_3 가스를 유입시켜 제 2 폴리실리콘막을 형성함으로써 제 1 폴리실리콘막과 제 2 폴리실리콘막의 계면내의 자연 산화막을 제거하여 데이터 플래쉬 메모리 소자의 특성을 향상시킬 수 있는 플래쉬 메모리 소자의 플로팅 게이트 형성 방법에 관한 것이다.

<13> 0.115 μm 데이터 플래쉬 메모리 소자의 플로팅 게이트는 제 1 및 제 2 폴리실리콘막의 이중 폴리실리콘막으로 구성되어 있으며, 이는 프로그램, 소거 등의 메커니즘에 의해 전자들이 이동되는 중요한 역할을 한다. 그러나, 제 1 및 제 2 폴리실리콘막은 익스시투 공정으로 형성되기 때문에 제 1 폴리실리콘막과 제 2 폴리실리콘막의 계면에 자연 산화막이 발생된다.

- <14> 그럼, 현재 개발중인 0.115 μ m 데이터 플래쉬 메모리 소자의 플로팅 게이트 형성 방법을 도 1(a) 및 도 1(b)를 이용하여 설명하면 다음과 같다.
- <15> 도 1(a)를 참조하면, 반도체 기판(11) 상부에 터널 산화막(12) 및 제 1 폴리실리콘막(13)을 형성한 후 그 상부에 질화막(14)을 형성한다. 소자 분리 마스크를 이용한 리소그래피 공정 및 식각 공정으로 질화막(14)을 패터닝한다. 패터닝된 질화막(14)을 마스크로 제 1 폴리실리콘막(13) 및 터널 산화막(12)을 식각한 후 노출된 반도체 기판(11)을 소정 깊이로 식각하여 트렌치를 형성한다. 트렌치가 매립되도록 전체 구조 상부에 산화막(15)을 형성한다.
- <16> 도 1(b)를 참조하면, 산화막(15)을 연마한 후 제 1 폴리실리콘막(13) 상부의 질화막(14)을 식각하여 소자 분리막을 형성한다. 그리고, 전체 구조 상부에 제 2 폴리실리콘막(16)을 형성한 후 제 2 폴리실리콘막(16) 및 제 1 폴리실리콘막(13)을 패터닝하여 플로팅 게이트를 형성한다. 그런데, 제 1 폴리실리콘막(13)과 제 2 폴리실리콘막(16)은 연속 공정으로 형성되는 것이 아니기 때문에 이들 사이의 계면에 자연 산화막(17)이 존재하게 된다.
- <17> 상기와 같은 공정으로 플로팅 게이트를 형성함에 따라 제 1 폴리실리콘막과 제 2 폴리실리콘막의 계면에 자연 산화막이 존재하게 된다. 이에 의해 소자 동작시 전자들이 자연 산화막에 트랩되는 문제가 발생하게 되고, 자연 산화막에 트랩된 전자들로 인해 셀의 문턱 전압이 떨어지는 비트 페일(bit fail)이 발생하게 된다. 또한, 자연 산화막이 기생 캐패시터로 작용하게 되어 초기 인가된 전압이 떨어지는 현상이 발생된다. 이는 플

래쉬 메모리 소자의 중요한 특성인 셀의 문턱 전압 분포에 있어 전체적인 균일성을 저하시켜 소자의 특성을 악화시킨다.

<18> 도 2는 소거 동작시 셀의 문턱 전압과 셀 수의 관계를 나타낸 그래프로서, A로 표시된 부분의 셀들은 전반적으로 셀의 문턱 전압이 떨어진 셀들을 나타내었으며, 이를 비트 페일 테일(bit fail tail)이라 한다.

<19> 도 3은 제 2 폴리실리콘막을 형성한 후 HR TEM으로 제 1 폴리실리콘막과 제 2 폴리실리콘막 계면을 관찰한 결과를 나타낸 사진으로서, 자연 산화막이 18Å 정도의 두께로 생성된 것을 나타낸다. 그런데, 제 1 폴리실리콘막의 표면을 클리닝한 후 제 2 폴리실리콘막을 형성할 때까지 공정 시간이 지연될 경우 자연 산화막의 두께는 더욱 증가하게 되고, 제 1 폴리실리콘막이 표면을 클리닝함에 불구하고 자연 산화막이 성장하는 이유는 클리닝 공정을 실시하더라도 화학 물질에 의한 케미컬 산화막이 소량 존재하여 완전히 제거하기는 어렵기 때문이다.

<20> 도 4는 제 1 폴리실리콘막 표면의 클리닝 유무에 따른 인 도핑 프로파일을 확인하기 위해 SIMS 프로파일을 관찰한 결과를 나타낸 그래프이다. A는 열버짓을 주지 않은 비정질 실리콘막을 증착한 웨이퍼를 나타낸 것으로, 제 2 폴리실리콘막 벌크내의 인 농도는 약 3.2×10^{20} atoms/cc를 나타내고 있으며, 제 1 폴리실리콘막내로의 인 확산은 아직 발생하지 않은 상태를 나타낸다. B는 제 1 폴리실리콘막 표면을 클리닝한 상태로서, 제 1 및 제 2 폴리실리콘막 계면의 자연 산화막이 18Å 정도의 두께로 성장한 경우 제 1 폴리실리콘막내의 인 농도와 제 2 폴리실리콘막내의

인 농도는 거의 같은 수준을 나타내고 있다. C는 제 1 폴리실리콘막의 표면을 클리닝하지 않은 상태로서, 제 1 폴리실리콘막과 제 2 폴리실리콘막의 계면에 30Å 이상의 자연 산화막이 성장되어 제 1 폴리실리콘막내의 인 농도는 약 5.6×10^{19} atoms/cc이고, 제 2 폴리실리콘막내의 인 농도는 그 절반 수준인 약 1.1×10^{20} atoms/cc밖에 되지 않는다. 상기한 바와 같이 제 1 폴리실리콘막과 제 2 폴리실리콘막의 계면에 자연 산화막의 두께가 증가함에 따라 인 도핑 프로파일에 큰 차이를 나타낸다.

【발명이 이루고자 하는 기술적 과제】

- <21> 본 발명의 목적은 제 1 폴리실리콘막과 제 2 폴리실리콘막 사이에 성장하는 자연 산화막을 완전히 제거할 수 있어 소자의 동작 신뢰성을 향상시킬 수 있는 플래쉬 메모리 소자의 플로팅 게이트 형성 방법을 제공하는데 있다.
- <22> 본 발명의 다른 목적은 제 1 폴리실리콘막을 형성한 후 SiH_4 가스를 유입시켜 자연 산화막을 분해시키고, N_2 어닐 공정을 실시하여 분해된 자연 산화막의 H_2 가스 및 O_2 가스가 N_2 가스와 반응하여 아웃가싱되도록 한 후 제 2 폴리실리콘막을 형성함으로써 제 1 폴리실리콘막과 제 2 폴리실리콘막의 계면내의 자연 산화막을 완전히 제거할 수 있는 플래쉬 메모리 소자의 플로팅 게이트 형성 방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <23> 본 발명에 따른 플래쉬 메모리 소자의 플로팅 게이트 형성 방법은 반도체 기판 상부에 터널 산화막 및 제 1 폴리실리콘막을 형성하는 단계와, 상기 제 1 폴리실리콘막 및

상기 터널 산화막의 소정 영역을 식각한 후 노출된 상기 반도체 기판을 소정 깊이로 식각하여 트렌치를 형성하는 단계와, 상기 트렌치가 매립되도록 전체 구조 상부에 산화막을 형성한 후 상기 산화막을 연마하여 소자 분리막을 형성하는 단계와, SiH_4 가스를 유입시켜 상기 제 1 폴리실리콘막 상부의 자연 산화막을 분해시키고, N_2 어닐 공정을 실시하여 분해된 물질을 아웃가싱시킨 후 제 2 폴리실리콘막을 형성하는 단계와, 상기 제 2 폴리실리콘막 및 제 1 폴리실리콘막을 패터닝하여 플로팅 게이트를 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다.

<24> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써 본 발명을 상세히 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하며, 이 기술 분야에서 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한, 도면상에서 동일 부호는 동일 요소를 지칭한다.

<25> 도 5(a) 내지 도 5(c)는 본 발명에 따른 플래쉬 메모리 소자의 플로팅 게이트 형성 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도이고, 도 6은 제 2 폴리실리콘막을 형성하기 위한 공정 레이피로서, 이들을 이용하여 본 발명에 따른 플래쉬 메모리 소자의 플로팅 게이트 형성 방법을 설명하면 다음과 같다.

<26> 도 5(a)를 참조하면, 반도체 기판(21) 상부에 터널 산화막(22) 및 제 1 폴리실리콘막(23)을 형성한 후 그 상부에 질화막(24)을 형성한다. 이때, 제 1 폴리실리콘막(23)은 300~700Å 정도의 두께로 형성한다. 소자 분리 마스크를 이용한 리소그래피 공정 및 식각 공정으로 질화막(24)을 패터닝한다. 패터닝된 질화막(24)을 마스크로 제 1 폴리실리

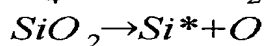
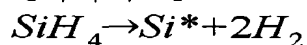
콘막(23) 및 터널 산화막(22)을 식각한 후 노출된 반도체 기판(21)을 소정 깊이로 식각하여 트렌치를 형성한다. 트렌치가 매립되도록 전체 구조 상부에 산화막(25)을 형성한다.

<27> 도 5(b)를 참조하면, 산화막(25)을 연마한 후 제 1 폴리실리콘막(23) 상부의 질화막(24)을 식각하여 소자 분리막을 형성한다. 그리고, 클리닝 공정을 실시하여 제 1 폴리실리콘막(23)의 표면에 성장되는 자연 산화막을 최소화한다. 이때, 클리닝 공정에 의해서도 자연 산화막이 완전히 제거되지 않고 케미컬 산화막이 존재하게 되며, HF 용액, 희석된 HF 용액 또는 RCA를 이용하여 클리닝 공정을 실시한다. 한편, HF 용액을 이용하여 클리닝 공정을 실시하게 되면 케미컬 산화막의 성장을 최소화하면서 소수성의 표면을 형성할 수 있고, RCA를 이용하여 클리닝 공정을 실시하게 되면 결함 및 파티클의 생성을 최소화할 수 있다.

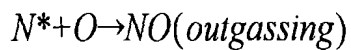
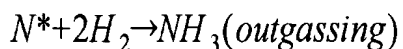
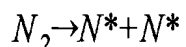
<28> 도 5(c) 및 도 6을 참조하면, 도 6에 도시된 공정 레시피에 따라 반응로의 온도 및 압력을 각각 510~590℃ 및 200~600mTorr 정도로 유지한 상태에서 SiH_4 가스를 0.1~1.9SLM 정도 유입시키고 5분~20분정도 반응시켜 [화학식 1]에 의해 SiH_4 및 SiO_2 를 분해(decompositon)시킨다. 그리고, 반응로의 온도 및 압력을 각각 750~950℃ 및 100~300mTorr 정도로 유지한 상태에서 N_2 가스를 0.1~1.9SLM 정도 유입시키고 5분~20분정도 반응시켜 [화학식 2]에 의해 H_2 가스 및 O_2 가스가 N_2 가스와 반응하여 아웃가싱(outgassing)되도록 한다. 또한, 반응로의 온도 및 압력을 각각 510~590℃ 및 200~600mTorr 정도로 유지한 상태에서 SiH_4 가스와 PH_3 가스의 혼합 가스를 0.5~2.0SLM 정도 유입시키고 20분~40분 정도 반응시켜 제 2 폴리실리콘막(26)을 형성한다. 상기 SiH_4 가스를 이용한 분해 및 N_2 어닐을 이용한 아웃가싱에 의해 제 1 폴리실리콘막(23) 상부

에 실리콘막이 10~30 Å 정도의 두께로 재성장되고, SiH₄ 가스와 PH₃ 가스의 혼합 가스에 의해 제 2 폴리실리콘막(26)의 전체 두께가 600~2000 Å 정도 되도록 한다. 그리고, 제 2 폴리실리콘막(26) 및 제 1 폴리실리콘막(23)을 패터닝하여 플로팅 게이트를 형성한다.

<29> 【화학식 1】



<30> 【화학식 2】



【발명의 효과】

<31> 상술한 바와 같이 본 발명에 의하면 제 1 폴리실리콘막을 형성한 후 SiH₄ 가스를 유입시켜 SiH₄ 및 SiO₂를 Si와 H₂ 및 Si와 O₂로 분해시키고, N₂ 어닐 공정을 실시하여 분해된 H₂ 가스 및 O₂ 가스가 N₂ 가스와 반응하여 아웃가싱되도록 하며, SiH₄ 가스 및 PH₃ 가스를 유입시켜 제 2 폴리실리콘막을 형성함으로써 제 1 폴리실리콘막과 제 2 폴리실리콘막의 계면내의 자연 산화막을 제거하여 데이터 플래쉬 메모리 소자의 특성을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상부에 터널 산화막 및 제 1 폴리실리콘막을 형성하는 단계;

상기 제 1 폴리실리콘막 및 상기 터널 산화막의 소정 영역을 식각한 후 노출된 상기 반도체 기판을 소정 깊이로 식각하여 트렌치를 형성하는 단계;

상기 트렌치가 매립되도록 전체 구조 상부에 산화막을 형성한 후 상기 산화막을 연마하여 소자 분리막을 형성하는 단계;

상기 제 1 폴리실리콘막 상부에 성장되는 자연 산화막을 분해시키고, 어닐 공정을 실시하여 분해된 물질을 아웃가싱시킨 후 제 2 폴리실리콘막을 형성하는 단계; 및

상기 제 2 폴리실리콘막 및 제 1 폴리실리콘막을 패터닝하여 플로팅 게이트를 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 플래쉬 메모리 소자의 플로팅 게이트 형성 방법.

【청구항 2】

제 1 항에 있어서, 상기 소자 분리막을 형성한 후 HF 용액, 희석된 HF 용액 또는 RCA를 이용하여 상기 제 1 폴리실리콘막의 표면을 클리닝하는 단계를 더 포함하는 것을 특징으로 하는 플래쉬 메모리 소자의 플로팅 게이트 형성 방법.

【청구항 3】

제 1 항에 있어서, 상기 자연 산화막의 분해는 반응로의 온도 및 압력을 각각 510 내지 590℃ 및 200 내지 600mTorr 정도로 유지한 상태에서 SiH_4 가스를 0.1 내지 1.9SLM 정도 유입시키고 5분 내지 20분정도 반응시켜 SiH_4 및 SiO_2 를 Si와 H_2 및 O_2 로 분해하는 것을 특징으로 하는 플래쉬 메모리 소자의 플로팅 게이트 형성 방법.

【청구항 4】

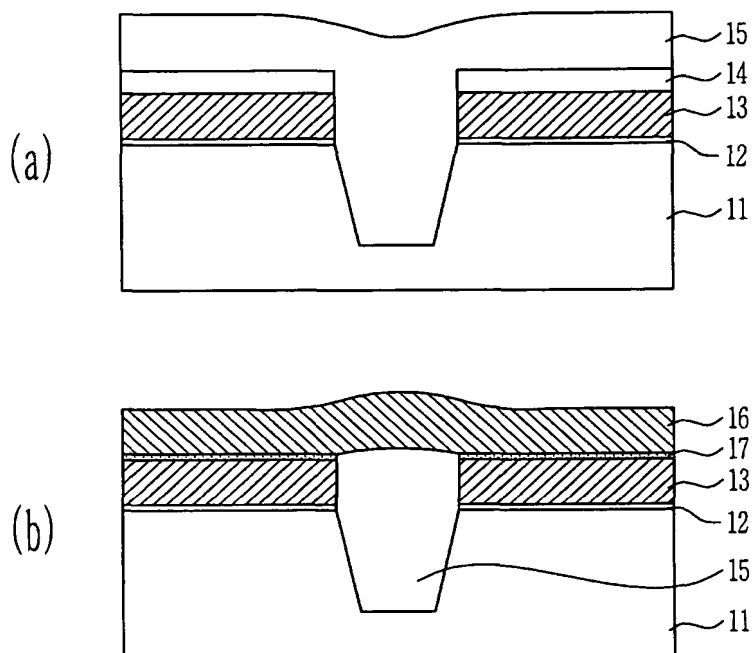
제 1 항에 있어서, 상기 어닐 공정은 상기 반응로의 온도 및 압력을 각각 750 내지 950℃ 및 100 내지 300mTorr 정도로 유지한 상태에서 N_2 가스를 0.1 내지 1.9SLM 정도 유입시키고 5분 내지 20분정도 반응시켜 H_2 가스 및 O_2 가스가 N_2 gas와 반응하여 아웃가싱되도록 하는 것을 특징으로 하는 플래쉬 메모리 소자의 플로팅 게이트 형성 방법.

【청구항 5】

제 1 항에 있어서, 상기 제 2 폴리실리콘막은 상기 반응로의 온도 및 압력을 각각 510 내지 590℃ 및 200 내지 600mTorr 정도로 유지한 상태에서 SiH_4 gas와 PH_3 gas의 혼합 가스를 0.5 내지 2.0SLM 정도 유입시키고 20분 내지 40분 정도 반응시켜 형성하는 것을 특징으로 하는 플래쉬 메모리 소자의 플로팅 게이트 형성 방법.

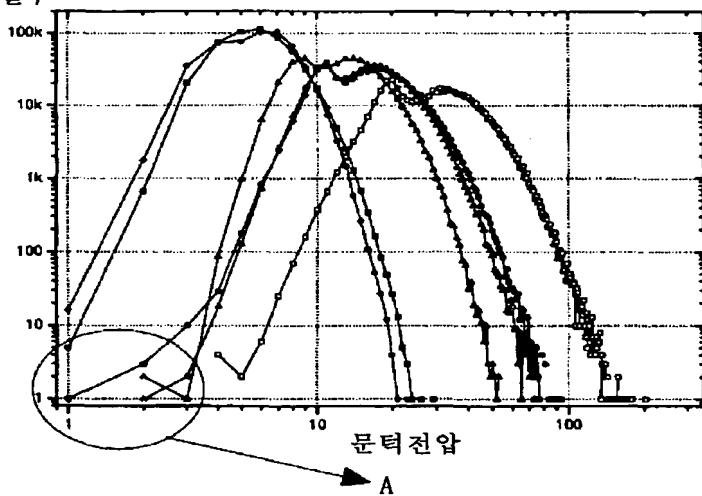
【도면】

【도 1】

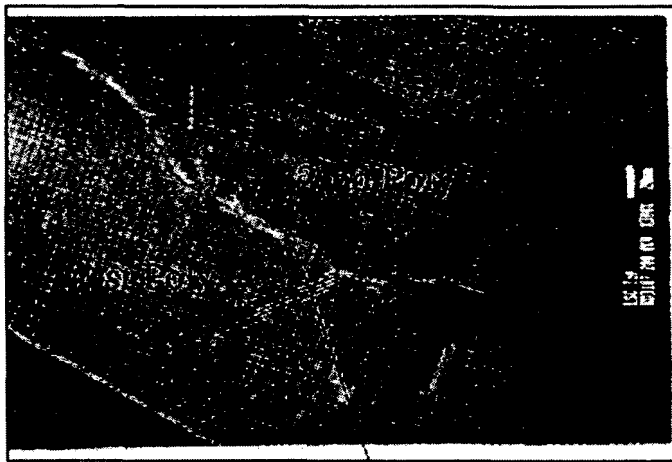


【도 2】

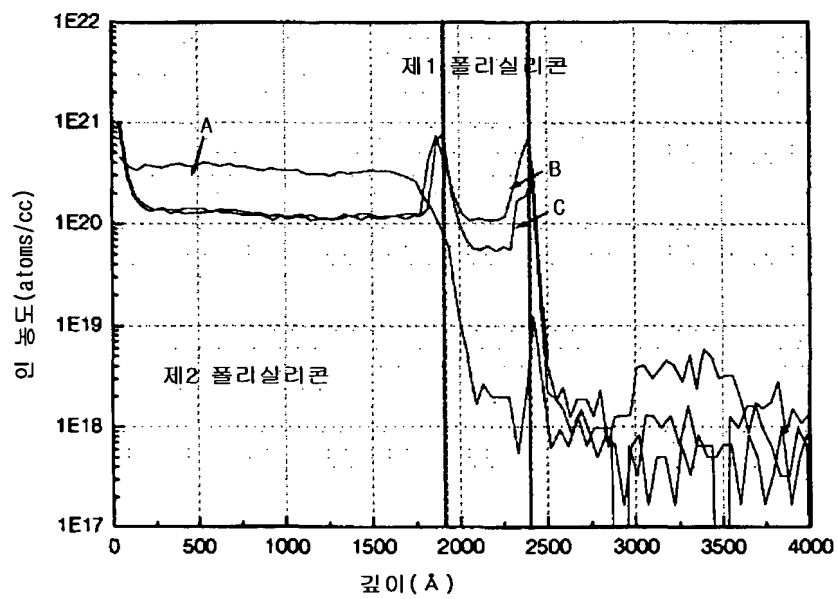
셀수



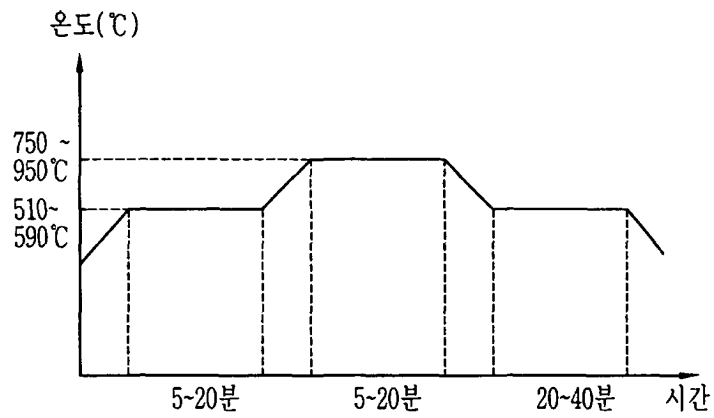
【도 3】



【도 4】



【도 6】



【도 5】

